

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-164609

(43)Date of publication of application : 07.06.2002

(51)Int.Cl. H01S 5/028
H01L 21/203

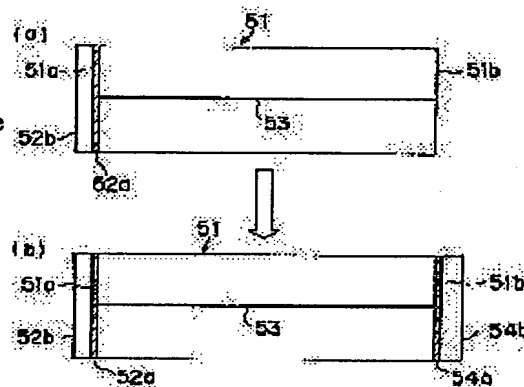
(21)Application number : 2000-361037 (71)Applicant : SHARP CORP

(22)Date of filing : 28.11.2000 (72)Inventor : OSHIMA NOBORU
SAKATA MASAHIKO
YOKOTA MAKOTO

(54) SEMICONDUCTOR LASER ELEMENT AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce damage to a light output end surface when a protective film is formed, and restrain generation of a leakage current.
SOLUTION: When the protective film is deposited on the light output end surface 51a, an Si film 52a in which oxygen is not decomposed and generated is formed previously. Film formation in the vicinity of the end surface 51a is performed in the state that an oxygen partial pressure is low from just after the deposition is started. When the protective film 52b is deposited, oxygen is decomposed from deposition material Al₂O₃, and the oxygen partial pressure is increased, the oxygen is prevented from colliding against the end surface 51a or combining with it, so that the damage to the end surface 51a is reduced when the protective film is formed. The thickness of the Si film 52a is made thin to be about 20 Å. As a result, generation of the leak current in the Si film 52a (or the end surface 51a) is restrained, and adverse influence on oscillation characteristic is prevented.



LEGAL STATUS

[Date of request for examination] 24.01.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開2002-164609

(P2002-164609A)

(43)公開日 平成14年6月7日(2002.6.7)

| (51)Int.Cl. ⁷ | 識別記号 | FI | テマコード(参考) |
|--------------------------|------|-------------|-----------|
| H01S 5/028 | | H01S 5/028 | 5F073 |
| H01L 21/203 | | H01L 21/203 | Z 5F103 |

審査請求 未請求 請求項の数7 OL (全9頁)

(21)出願番号 特願2000-361037(P2000-361037)

(22)出願日 平成12年11月28日(2000.11.28)

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 大島 昇

大阪府大阪市阿倍野区長池町22番22号
シャープ株式会社内

(72)発明者 阪田 昌彦

大阪府大阪市阿倍野区長池町22番22号
シャープ株式会社内

(74)代理人 100062144

弁理士 青山 葆 (外1名)

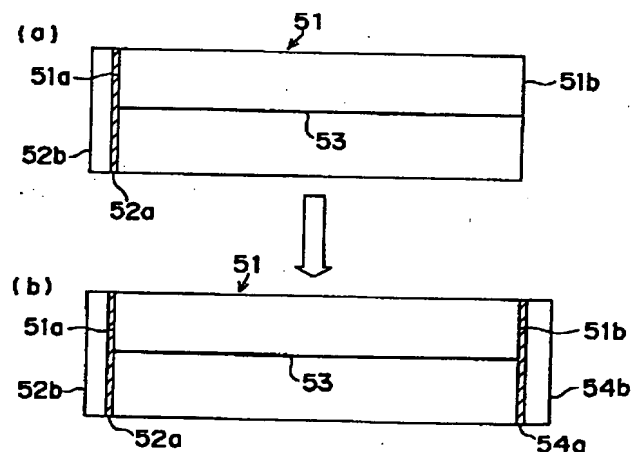
最終頁に続く

(54)【発明の名称】 半導体レーザ素子およびその製造方法

(57)【要約】

【課題】 保護膜形成時に光出射端面に与えるダメージを小さくし且つリーク電流の発生を抑制する。

【解決手段】 レーザチップ51の光出射端面51aに保護膜を蒸着する際に、酸素が分解発生しないSi膜52aを先に形成する。こうして、蒸着開始直後から酸素分圧の低い状態で光出射端面51a近傍の成膜を行うと共に、後に保護膜52bを蒸着する際に蒸着材料 Al_2O_3 から酸素が分解して酸素分圧が大きくなっても酸素が端面51aと衝突または結び付くことを防止して、保護膜形成時に端面51aに与えるダメージを小さくする。また、Si膜52aの膜厚を約20Åと薄くする。こうして、Si膜52a内(あるいは端面51a)でのリーク電流の発生を抑制し、発振特性に悪影響を及ぼさないようにする。



(2)

【特許請求の範囲】

【請求項1】 半導体レーザチップにおける光出射端面に所定の反射率を有する酸化膜が保護膜として形成された半導体レーザ素子において、
少なくとも一つの光出射端面と上記酸化膜との間に、膜厚が40Å以下のSi膜が形成されていることを特徴とする半導体レーザ素子。

【請求項2】 請求項1に記載の半導体レーザ素子において、

上記Si膜の膜厚は、5Å以上であり且つ30Å以下であることを特徴とする半導体レーザ素子。

【請求項3】 請求項1あるいは請求項2に記載の半導体レーザ素子において、

上記保護膜を構成する酸化膜は、 Al_2O_3 膜であることを特徴とする半導体レーザ素子。

【請求項4】 請求項1乃至請求項3の何れか一つに記載の半導体レーザ素子において、

上記半導体レーザチップは、Alを含んで構成された活性層を有していることを特徴とする半導体レーザ素子。

【請求項5】 請求項1乃至請求項4の何れか一つに記載の半導体レーザ素子において、

上記Si膜は、純度が99.99%以上であることを特徴とする半導体レーザ素子。

【請求項6】 請求項1乃至請求項5の何れか一つに記載の半導体レーザ素子の製造方法であって、

上記光出射端面に対する上記Si膜と酸化膜との形成を、同一装置内において大気開放することなく連続して行うことを特徴とする半導体レーザ素子の製造方法。

【請求項7】 請求項1乃至請求項5の何れか一つに記載の半導体レーザ素子の製造方法であって、

上記Si膜と酸化膜とを、真空蒸着によって形成することを特徴とする半導体レーザ素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、光出射端面に所定の反射率を有する保護膜が形成された半導体レーザ素子およびその製造方法に関する。

【0002】

【従来の技術】図5に示すように、半導体レーザ素子の多くは、例えばGaAsレーザチップ1の光出射端面1a、1bに、互いに等しい反射率を有する保護膜2a、2bを設けて構成されている。尚、3はレーザチップ1の活性層を示す。図5において、保護膜2a、2bが Al_2O_3 で構成されている場合は、この Al_2O_3 膜の屈折率を1.60とする一方、レーザチップ1の屈折率を3.50とすると、上記保護膜2a、2bの膜厚dに対する反射率は図6に示すように変化する（但し、レーザ発振波長 $\lambda = 7800\text{\AA}$ ）。

【0003】図6によれば、上記保護膜2a、2bの膜厚dに拘らず、反射率は保護膜2a、2bが無い場合（つま

り、光出射端面1a、1bよりも小さくなる。そして、光学的膜厚（屈折率 $n \times$ 膜厚 d ）が $\lambda/4$ の奇数倍の場合に反射率は最小となり、上記光学的膜厚が $\lambda/2$ の整数倍の場合に反射率は保護膜2a、2bが無い場合と略同じになる。これは、保護膜2a、2bの屈折率（1.60）がGaAsレーザチップ1の屈折率（3.50）より小さいためである。

【0004】これに対して、上記保護膜2a、2bの屈折率がGaAsレーザチップ1の屈折率よりも大きい場合（例えば、保護膜2a、2bとしてSi等を用いれば膜厚に拘らず反射率は保護膜2a、2bが無い場合よりも大きい）には、上記光学的膜厚が $\lambda/4$ の奇数倍の場合に反射率は最大となり、上記光学的膜厚が $\lambda/2$ の整数倍の場合に反射率は保護膜2a、2bが無い場合と略同じになる。

【0005】光出力が20mW以上の高出力半導体レーザ素子の場合には、図7に示すように、一般的には主出射端面（前端面）側からの光出力Pfを高くするために、主出射端面11a側における保護膜12aの反射率を保護膜12aが無い場合よりも低くし、後出射端面11b側における保護膜12bの反射率を保護膜12bが無い場合よりも高い高反射率になるように設定している。例えば、主出射端面11aの保護膜（ Al_2O_3 ）12aの反射率を約15%以下に設定する。尚、この反射率を呈する膜厚は約700Å～1600Åである。

【0006】また、上記後出射端面11bの保護膜12bは、レーザチップ1の屈折率よりも大きな屈折率を有する膜を用いて構成しても、単層では十分に高い反射率が得られない。そのために、第1層14および第3層16として厚さ $\lambda/4$ の Al_2O_3 膜を、第2層15および第4層17として厚さ $\lambda/4$ のアモルファスSiを積層する。そして、最後に、第5層18として厚さ $\lambda/2$ の Al_2O_3 膜を積層するのである。こうすることによって、約85%以上の高反射率の保護膜12bを形成することが可能となる。尚、13は活性層である。

【0007】次に、半導体レーザチップ1の光出射端面1a、1bに、上述したような反射率を有する保護膜2a、2bを形成する方法について述べる。

【0008】まず、図8に示すように、半導体レーザウェハ21における任意の素子の電極22と隣接する素子の電極23との間に、発光部（チャネル）24に直交する方向に延在する劈開線25をスクライブによって形成する。そうした後、図9に示すように、半導体レーザウェハ21を劈開して複数のレーザバー（バー状態のレーザチップ）26に分割する。

【0009】次に、図10に示すように、分割された複数のレーザバー26を、レーザバー固定装置27に電極22を重ねてセットする。その場合、総てのレーザバー26に関して、出射端面28a及び出射端面28bが同じ側を向くようにセットする。次に、レーザバー固定装置27に固定されたレーザバー26の出射端面28a、28

(3)

3

bに所定の反射率を有する保護膜の形成を行う。その場合、一般的には、図11に模式的に示すような真空蒸着装置29が用いられる。この真空蒸着装置29は、チャンバー30内に蒸発源31と先に述べたレーザバー固定装置27を複数保持するためのホルダー32と蒸着膜厚モニター用の水晶振動子33を備えている。

【0010】以下、上記保護膜の形成手順について説明する。まず、出射端面28aに保護膜を蒸着する場合には、図11に示すように、蒸発源31側にレーザバー26の出射端面28aが向くようにホルダー32を設置する。そして、ダクト34を介してチャンバー30内を真空にする。そして、所定の真空度に達した後、蒸発源31に入れられた蒸着材料35を電子ビーム等で加熱して蒸発させて、レーザの出射端面28aに保護膜を蒸着する。蒸着完了後、引き続きホルダー32を180°回転させ、同様にして出射端面28bに保護膜を蒸着するのである。

【0011】ここで、上記両光出射端面28a、28bに保護膜を形成する際の形成速度(蒸着レート)は、蒸着完了までの間は略一定になるように制御される。その場合、上記蒸着レートは加熱温度によって制御されるので、電子ビーム蒸着の場合には電子ビームの強度によって制御できる。また、抵抗加熱の場合には抵抗体に流す電流量で制御されることは良く知られている通りである。上記蒸着レートは、蒸着材料が Al_2O_3 の場合には数 $\text{\AA}/\text{sec}$ ~30 $\text{\AA}/\text{sec}$ の間に設定されるのが一般的である。尚、蒸着は水晶振動子33によって膜厚をモニターしながら行い、所定の膜厚に達した時点で蒸着を停止する。

【0012】図7に示す高出力タイプの半導体レーザ素子の場合には、主出射端面11a側の低反射(反射率約15%以下)保護膜12aを成膜した後、引き続き、後出射端面11b側の多層高反射保護膜12bの成膜を行う。この多層高反射保護膜12bは、厚さ $\lambda/4$ に相当する Al_2O_3 膜で成る第1層14および第3層16と、厚さ $\lambda/4$ に相当するSi膜で成る第2層15および第4層17と、厚さ $\lambda/2$ に相当する Al_2O_3 膜で成る第5層18との積層構造体によって構成されている。その場合における蒸着は、蒸発源31には蒸着材料35として Al_2O_3 とSiとを搭載し、 Al_2O_3 膜で成る第1層14、第3層16および第5層18を蒸着する場合には、蒸着材料 Al_2O_3 に電子ビームを照射し、Si膜で成る第2層15および第4層17を蒸着する場合には蒸着材料Siに電子ビームを照射することによって行う。

【0013】また、高出力タイプの半導体レーザ素子において、信頼性向上のために、図12に示すように、Siの熱伝導率が高いことを利用して、レーザチップ41の主出射端面41a側に保護膜42aを形成する際に、熱伝導率の高いSi膜44を先に形成した後低反射保護膜45を形成する方法が提案されている(特開平1-2

4

89289号公報)。尚、42bは第1層46、第2層47、第3層48、第4層49および第5層50から成る後出射端面41b側の多層高反射保護膜であり、43は活性層である。

【0014】この場合、上記半導体レーザ素子の発光によって主出射端面41a近傍で発生した熱が、Si膜44によって効率よく放熱され、長期通電による半導体レーザ素子の劣化が抑えられるのである。尚、Si膜44の膜厚は $\lambda/4$ 程度(実施例では約532 \AA)である。

10 【0015】

【発明が解決しようとする課題】しかしながら、上記従来の半導体レーザ素子には、以下のような問題がある。すなわち、蒸着によってレーザチップ1,11の保護膜2a,2b,12a,12bを形成する場合には、蒸着開始直後から保護膜2a,2b,12a,12bの材料である酸化物(Al_2O_3)より分解発生する酸素によって酸素分子の分圧が高くなる。この酸素がレーザチップ1,11の端面1a,1b,11a,11bと衝突または結び付くことによって、端面1a,1b,11a,11bにダメージを与える可能性が高い。また、レーザチップ1,11の活性層3,13およびその近傍層がアルミニウムを含んでいる組成の場合、そのダメージは更に大きくなると考えられる。そして、このようにして作製された半導体レーザ素子を高出力で動作させると、必要とされる信頼性が得られない場合がある。

20 【0016】また、上記特開平1-289289号公報に開示された高出力タイプの半導体レーザ素子においては、信頼性向上のために、主出射端面41aに保護膜42aを形成する際に、熱伝導率の高いSi膜44を先に形成するようにしている。この場合、放熱性の向上ばかりでなく、蒸着時の材料分解によって酸素が発生することのないSi膜44を先に形成することで、蒸着開始直後から酸素分圧が低い状態でレーザチップ41の出射端面41a近傍の成膜を行うことができるため、上述した出射端面41a近傍におけるダメージを抑えることができるという効果も得られる。

【0017】ところが、この場合には、上記Si膜44の厚さが約532 \AA ($\approx \lambda/4$)とかなり厚いために、Si膜44内(光出射端面)でリーク電流が発生し、半導体レーザ素子の発振特性に悪影響を及ぼす場合がある。

40 【0018】そこで、この発明の目的は、保護膜形成時に光出射端面に与えるダメージを小さくし、且つ、上記出射端面近傍でのリーク電流の発生を抑制できる半導体レーザ素子、および、その製造方法を提供することにある。

【0019】

【課題を解決するための手段】上記目的を達成するため、第1の発明は、半導体レーザチップにおける光出射端面に所定の反射率を有する酸化膜が保護膜として形成された半導体レーザ素子において、少なくとも一つの光

50

(4)

5

出射端面と上記酸化膜との間に、膜厚が40 Å以下のSi膜が形成されていることを特徴としている。

【0020】上記構成によれば、半導体レーザチップにおける光出射端面に、保護膜として酸化膜を形成するに先立って酸素が分解発生しないSi膜が形成される。したがって、Si膜の形成開始直後から酸素分圧の低い状態で成膜が行われ、高いエネルギーを有する酸素が上記光出射端面と衝突あるいは結び付くことはない。さらに、後に酸化膜を形成する際に酸素が分解して酸素分圧が大きくなっても、酸素が上記光出射端面と衝突あるいは結び付くことが防止される。こうして、保護膜形成時に上記光出射端面に与えるダメージが抑えられる。

【0021】この場合、上記半導体レーザチップがAlを含んで構成された活性層を有している場合でも、上記光出射端面に与えるダメージが効果的に抑えられる。

【0022】さらに、上記Si膜の膜厚は40 Å以下であってかなり薄い。したがって、上記Si膜内あるいは上記光出射端面でのリーク電流の発生が低減され、発振特性に悪影響を及ぼすことがない。

【0023】また、上記第1の発明の半導体レーザ素子は、上記Si膜の膜厚を、5 Å以上であり且つ30 Å以下にすることが望ましい。

【0024】上記構成によれば、上記Si膜の膜厚は5 Å以上であり且つ30 Å以下であるため、上記リーク電流の発生は略無くなる。

【0025】また、上記第1の発明の半導体レーザ素子は、上記保護膜を構成する酸化膜をAl₂O₃膜と成すことが望ましい。

【0026】上記構成によれば、上記半導体レーザチップをGaAsで形成した場合に、上記保護膜としての酸化膜の屈折率が上記半導体レーザチップの屈折率よりも小さくなり、上記保護膜の反射率は膜厚に拘らず上記光出射端面の反射率よりも低められる。したがって、上記光出射端面からの光出力が高くなる。

【0027】また、上記第1の発明の半導体レーザ素子は、上記Si膜を99.99%以上の純度と成すことが望ましい。

【0028】上記構成によれば、上記Si膜の純度は99.99%以上である。したがって、高いエネルギーを有する酸素が上記光出射端面と衝突あるいは結び付くことが、より効果的に防止される。

【0029】また、第2の発明は、第1の発明の半導体レーザ素子の製造方法であって、上記光出射端面に対する上記Si膜と酸化膜との形成を、同一装置内において大気開放することなく連続して行うことを特徴としている。

【0030】上記構成によれば、上記光出射端面のダメージが少なく、且つ、上記Si膜内あるいは上記光出射端面でのリーク電流の発生を低減する半導体レーザ素子が、従来と略同じ工程によって形成される。

6

【0031】また、第3の発明は、第1の発明の半導体レーザ素子の製造方法であって、上記Si膜と酸化膜とを真空蒸着によって形成することを特徴としている。

【0032】上記構成によれば、上記光出射端面のダメージが少なく、且つ、上記Si膜内あるいは上記光出射端面でのリーク電流の発生を低減する半導体レーザ素子が、従来と同じ真空蒸着を用いて形成される。

【0033】

【発明の実施の形態】以下、この発明を図示の実施の形態により詳細に説明する。先ず、本実施の形態の原理について簡単に説明する。

【0034】レーザチップ端面の保護膜を蒸着によって形成する場合、蒸着開始直後から保護膜材料である酸化物から分解発生する酸素の分圧が急激に上昇する。この高エネルギー酸素がレーザチップ端面と衝突もしくは結び付くことによって、レーザチップ端面にダメージを与え、レーザ素子としての信頼性を損なうことになる。したがって、蒸着開始直後における酸素分圧の上昇を抑制する必要がある。

【0035】そこで、上記保護膜を形成する前に、材料分解により酸素が発生することのないSiの薄膜を先に形成することによって、酸素分圧が低い条件下でレーザチップ端面近傍の保護膜を形成することを可能にする。また、本実施の形態においては、上記Siの膜厚を約40 Å以下と極めて薄く形成する。こうすることによって、Si膜内(光出射端面)におけるリーク電流の発生を無くすることができ、レーザ素子の発振特性に悪影響を及ぼすことが無くなるのである。

【0036】＜第1実施の形態＞図1は、本実施の形態における半導体レーザ素子の形成手順を示す。図1(a)に示すように、活性層53がアルミニウムを含んだ組成GaAlAsから成るレーザチップ51の光出射端面51aに、膜厚約20 ÅのSi膜52aを、1 Å/sec以下の成膜速度で成膜する。こうして、蒸着時の材料分解によって酸素が発生することのないSi膜52aを先に形成することによって、蒸着開始直後から、酸素分圧の低い状態でレーザチップ51の光出射端面51a近傍の成膜を行うことができる。したがって、高いエネルギーを有する酸素が光出射端面51aと衝突あるいは結び付くことがなく、活性層53がアルミニウムを含んだ組成GaAlAsから成るレーザチップ51であっても、光出射端面51aの近傍でのダメージを抑えることができるのである。

【0037】こうして、上記Si膜52aを成膜した後、引き続き所定の膜厚まで光出射端面51aの保護膜52bを成膜する。ここで、保護膜52bの蒸着材料がAl₂O₃である場合には、成膜速度は30 Å/sec程度が適切である。

【0038】この保護膜52bの成膜中、蒸着材料Al₂O₃から酸素が分解発生するために、酸素分圧が大きくなっている。しかしながら、先に述べたごとく、既にS

(5)

7

i膜5 2aが成膜されているので、酸素がレーザチップ5 1の光出射端面5 1aと直接衝突もしくは結び付くことはない。したがって、光出射端面5 1a近傍でのダメージを抑えることができるのである。その場合、Si膜5 2aの厚さは、約20 Åとかなり薄い。そのために、Si膜5 2a内(あるいは光出射端面5 1a)でのリーク電流の発生はなく、レーザ素子の発振特性に悪影響を及ぼすことを防止できるのである。

【0039】ここで、上記レーザチップ5 1の光出射端面5 1aに対するSi膜5 2a及び保護膜5 2bの成膜は、以下のようにして行う。すなわち、図10に示すように、複数のレーザチップ5 1が作り込まれたレーザバー26が積層されたレーザバー固定用治具17を、レーザチップ5 1の光出射端面5 1aが蒸着源31へ向くように、図11に示すチャンパー30内のホルダー32へセットする。そして、チャンパー30内をダクト34を介して排気して所定の真空度に達した時、蒸着源31に搭載された蒸着材料Si、Al₂O₃のうち蒸着材料Siに電子ビームを照射して蒸発させ、Si膜5 2aを成膜する。引き続き、蒸着材料Al₂O₃に電子ビームを照射して蒸発させ、保護膜5 2bを成膜するのである。

【0040】こうして、上記光出射端面5 1a側の成膜を完了した後、図11に示すホルダー32を180°反転させて、図1(b)に示すように、もう一方の光出射端面5 1bに、膜厚約20 ÅのSi膜5 4aおよび保護膜5 4bを引き続き形成する。尚、この場合におけるSi膜5 4aおよび保護膜5 4bの形成方法は、光出射端面5 1aに対するSi膜5 2aおよび保護膜5 2bの形成方法と全く同様である。この場合にも、酸素が発生しないSi膜5 4aを先に形成するので、蒸着開始直後から酸素分圧の低い状態で成膜を行うことができ、端面5 1b近傍でのダメージを抑えることができる。その場合、Si膜5 4aの厚さは約20 Åとかなり薄い。そのために、Si膜5 4a内(あるいは光出射端面5 1b)でのリーク電流の発生はなく、レーザ素子の発振特性に悪影響を及ぼすことを防止できる。

【0041】＜第2実施の形態＞図2は、本実施の形態における半導体レーザ素子の形成手順を示す。本実施の形態においては、図1に示す基本の実施の形態を、両光出射端面の反射率が異なる(反射率非対称：通常高出力レーザに用いられ、低反射の保護膜は単層、高反射の保護膜は多層構造であるのが一般的)半導体レーザ素子に適用している。

【0042】光出力が約20 mW以上の高出力半導体レーザ素子の場合には、活性層6 3がアルミニウムを含んだ組成GaAlAsから成るレーザチップ6 1の主出射端面6 1a側からの光出力を高くするために、図7と同様に、一般的には、主出射端面6 1a側を低反射とし、後出射端面6 1b側を高反射とするようにしている。

【0043】その場合における上記保護膜材料としてA

8

l₂O₃膜およびSi膜を用いる場合には、上述したように主出射端面側の保護膜はAl₂O₃の単層膜で形成し、その反射率が約15%以下の低反射となるようにするのが一般的である。そして、その場合における上記低反射保護膜の膜厚は、その反射率が約15%以下の低反射になるように設定される。すなわち、Al₂O₃膜の屈折率を1.60とし、レーザチップの屈折率を3.50とし、発振波長を $\lambda = 7800 \text{ Å}$ として計算すると、反射率が約15%以下に対応する膜厚Tは約700 Å～1600 Åとなる(図6参照)。

【0044】本実施の形態においては、上述したごとく、図2に示すように、上記主出射端面6 1a側の保護膜6 2を、第1実施の形態の場合と同様に、膜厚が約20 ÅのSi膜6 2aとAl₂O₃の低反射保護膜6 2bとの2層構造とする。成膜方法は、第1実施の形態の場合と全く同様である。

【0045】この場合、上記主出射端面6 1a側に関しては、低反射保護膜6 2bと主出射端面6 1aとの間にSi膜6 2aを挟んだ構造であり、図7に示した低反射保護膜1 2a単層の場合に比して反射率特性が変化すると考えられる。しかしながら、Si膜が約20 Å程度の場合には、反射率特性の変化は無視できるのである。また、変化した場合でも、低反射保護膜6 2bの膜厚を調整することによって所望の反射率に合わせることは可能である。

【0046】上記主出射端面6 1a側における保護膜6 2の成膜が完了した後、図11に示すホルダー32を180°反転させて、もう一方の後出射端面6 1bに多層高反射保護膜6 4を形成する。本実施の形態においては、多層高反射保護膜6 4を、厚さが $\lambda/4$ に相当するAl₂O₃膜で成る第1層6 5および第3層6 7と、厚さが $\lambda/4$ に相当するSi膜で成る第2層6 6および第4層6 8と、厚さが $\lambda/2$ に相当するAl₂O₃膜で成る第5層6 9との積層構造体で構成する。その場合、多層高反射保護膜6 4の反射率は、約85%以上の高反射率となる。尚、この場合の多層高反射保護膜6 4の成膜は、図7に示す多層高反射保護膜1 2bの場合と同様である。

【0047】本実施の形態の場合においても、上記レーザチップ6 1の主出射端面6 1aに保護膜6 2を蒸着する際に、蒸着時の材料分解によって酸素が発生することのないSi膜6 2aを先に形成することによって、蒸着開始直後から酸素分圧の低い状態で主出射端面6 1a近傍の成膜を行うことができる。したがって、Si膜6 2aの成膜中に高いエネルギーを有する酸素が端面6 1aと衝突あるいは結び付くことがない。さらに、後に低反射保護膜6 2bを蒸着する際に、蒸着材料Al₂O₃から酸素が分解発生して酸素分圧が大きくなっても、酸素がレーザチップ6 1の光出射端面6 1aと直接衝突もしくは結び付くことを防止できる。すなわち、活性層6 3がアルミニウムを含んだ組成GaAlAsから成るレーザチップ6

50

(6)

9

1であっても、主出射端面61a近傍でのダメージを抑えることができるのである。

【0048】また、上記Si膜62aの厚さは、約20Åとかなり薄い。そのために、Si膜62a内(あるいは主出射端面61a)でのリーク電流の発生はなく、レーザ素子の発振特性に悪影響を及ぼすことを防止できるのである。

【0049】<第3実施の形態>図3は、本実施の形態における半導体レーザ素子の形成手順を示す。本実施の形態においては、第2実施の形態における後出射端面61b側に多層高反射保護膜64を形成する際にも、図1

10に示す基本の実施の形態を適用するものである。

【0050】高出力タイプの半導体レーザ素子の場合、主出射端面からの光の出力は後出射端面からの光の出力に比して高いので、第2実施の形態のごとく、主出射端面61a側のみにSi膜62aを形成した場合でも十分な効果をえられる。しかしながら、後出射端面61b側に多層高反射保護膜64を形成する前にもSi膜を形成する方が好ましい。

【0051】本実施の形態においては、第2実施の形態の場合と同様に、活性層73がアルミニウムを含んだ組成GaAlAsから成るレーザチップ71の主出射端面71aにSi膜72aおよび低反射保護膜72bを形成する。そうした後に、後出射端面71b側にも、先に膜厚40Å以下のSi膜75を形成した後、引き続いて多層高反射保護膜74を形成するのである。尚、多層高反射保護膜74は、第2実施の形態の場合と同様に、厚さが $\lambda/4$ に相当する Al_2O_3 膜で成る第1層76および第3層78と、厚さが $\lambda/4$ に相当するSi膜で成る第2層77及び第4層79と、厚さが $\lambda/2$ に相当する Al_2O_3 膜で成る第5層80との積層構造体である。

【0052】以上のごとく、本実施の形態の場合においては、上記レーザチップ71の後出射端面71bに多層高反射保護膜74を成膜する際に、蒸着時の材料分解によって酸素が発生することのないSi膜75を先に形成するので、後出射端面71b近傍でのダメージをも防止することができるのである。

【0053】ところで、上記半導体レーザ素子の信頼性の評価方法として、形成した半導体レーザ素子のCOD(工学的破壊レベル)値の経時変化を比較する方法がある。図4は、レーザチップの光出射端面と保護膜との間にSi膜を形成しない場合、膜厚が20ÅのSi膜を形成した場合、膜厚が40ÅのSi膜を形成した場合における半導体レーザ素子のCOD値の経時変化を、3ロット分示したものである。図4において、約1000時間経過時点におけるCOD値を比較すると、全ロットとも

20Å>40Å>0Åとなり、光出射端面と保護膜との間にSi膜を形成することによって、半導体レーザ素子のCOD値の低下を抑えて信頼性を向上できることが確認された。さらには、

10

Si膜の膜厚が20Åである場合に良好な結果が得られた。以上のことより、レーザチップの光出射端面と保護膜との間に形成するSi膜の膜厚は、40Å以下、望ましくは5Å~30Åであればよいと言える。

【0054】尚、上記各実施の形態において使用するSiは、純度が99.99%以上のものが望ましい。また、各保護膜の形成は蒸着に限定するものではなく、スパッタ法やCVD(化学気相成長法)等の他の成膜方法を用いても差し支えない。さらに、上記低反射保護膜の材料として、 Al_2O_3 だけではなく、 SiO_2 や TiO_2 等の酸化膜を用いても良い。

【0055】

【発明の効果】以上より明らかなように、第1の発明の半導体レーザ素子は、半導体レーザチップにおける少なくとも一つの光出射端面と保護膜としての酸化膜との間に、膜厚が40Å以下のSi膜が形成されているので、上記酸化膜を形成するに先立って、酸素が分解発生しないSi膜を形成することができる。したがって、Si膜の形成開始直後から酸素分圧の低い状態で成膜を行うことができ、高いエネルギーを有する酸素が上記光出射端面と衝突あるいは結び付くことをなくすることができる。さらに、後に酸化膜を形成する際に酸素が分解して酸素分圧が大きくなっても、酸素が上記光出射端面と衝突または結び付くことを防止できる。こうして、保護膜形成時に上記光出射端面に与えるダメージを小さくできる。

【0056】この場合、上記半導体レーザチップがAlを含んで構成された活性層を有している場合でも、上記光出射端面に与えるダメージを小さくできる。

【0057】さらに、上記Si膜の膜厚を40Å以下と薄くするので、上記Si膜内あるいは上記光出射端面でのリーク電流の発生を低減でき、発振特性に悪影響を及ぼすことを防止できる。すなわち、この発明によれば、信頼性の向上を図ることができるのである。

【0058】また、上記第1の発明の半導体レーザ素子は、上記Si膜の膜厚を、5Å以上であり且つ30Å以下にすれば、上記リーク電流の発生を殆ど無くすることができる。

【0059】また、上記第1の発明の半導体レーザ素子は、上記酸化膜を Al_2O_3 膜とすれば、上記半導体レーザチップをGaAsで形成することによって、上記保護膜としての酸化膜の屈折率を上記半導体レーザチップの屈折率よりも小さくでき、上記保護膜の反射率を膜厚に拘らず上記光出射端面の反射率よりも低くできる。したがって、上記光出射端面からの光出力を高くできる。

【0060】また、上記第1の発明の半導体レーザ素子は、上記Si膜を99.99%以上の純度とすれば、高いエネルギーを有する酸素が上記光出射端面と衝突あるいは結び付くことを、より効果的に防止できる。

【0061】また、第2の発明の半導体レーザ素子の製造方法は、上記第1の発明の半導体レーザ素子を形成す

50

(7)

11

る際に、上記光出射端面に対する上記Si膜と酸化膜との形成を同一装置内において大気開放することなく連続して行うので、上記光出射端面のダメージが少なく、且つ、上記Si膜内あるいは上記光出射端面でのリーク電流の発生を低減する半導体レーザ素子を、従来と略同じ工程によって形成することができる。

【0062】また、第3の発明の半導体レーザ素子の製造方法は、上記第1の発明の半導体レーザ素子を形成する際に、上記Si膜と酸化膜とを真空蒸着によって形成するので、上記光出射端面のダメージが少なく、且つ、上記Si膜内あるいは上記光出射端面でのリーク電流の発生を低減する半導体レーザ素子を、従来と同じ真空蒸着を用いて形成できる。

【図面の簡単な説明】

【図1】 この発明の半導体レーザ装置における製造方法の説明図である。

【図2】 図1とは異なる製造方法の説明図である。

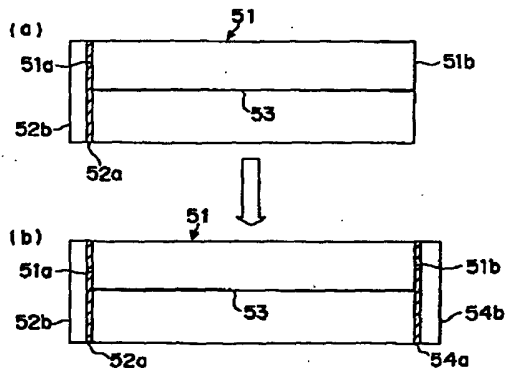
【図3】 図1および図2とは異なる製造方法の説明図である。

【図4】 光出射端面と保護膜との間に形成されたSi膜の膜厚とCOD値の経時変化との関係を示す図である。

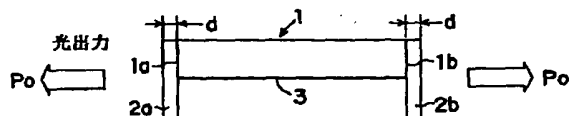
【図5】 従来の半導体レーザ素子における保護膜の説明図である。

【図6】 図5に示す半導体レーザ素子における保護膜の膜厚に対する反射率の変化を示す図である。

【図1】



【図5】



12

【図7】 従来の高出力半導体レーザ素子における保護膜の説明図である。

【図8】 半導体レーザ素子における保護膜形成方法の説明図である。

【図9】 図8に続く保護膜形成方法の説明図である。

【図10】 図9に続く保護膜形成方法の説明図である。

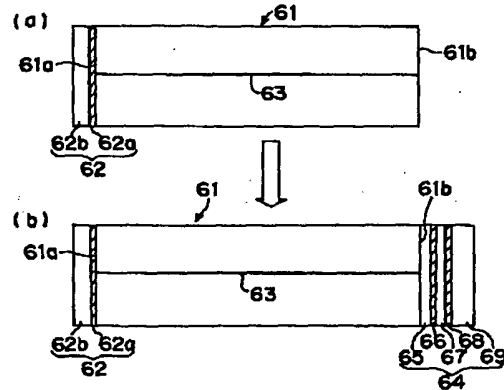
【図11】 真空蒸着装置の説明図である。

【図12】 図7とは異なる従来の高出力半導体レーザ素子における保護膜の説明図である。

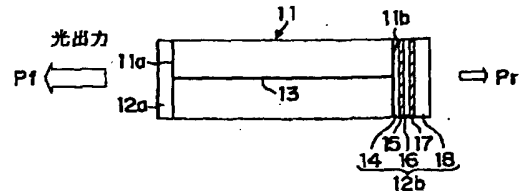
【符号の説明】

51, 61, 71…レーザチップ、
51a, 51b…光出射端面、
52a, 54a, 62a, 72a, 75…Si膜、
53, 63, 73…活性層、
52b, 54b…保護膜、
61a, 71a…主出射端面、
61b, 71b…後出射端面、
62b, 72b…低反射保護膜、
64, 74…多層高反射保護膜、
65, 76…第1層、
66, 77…第2層、
67, 78…第3層、
68, 79…第4層、
69, 80…第5層。

【図2】

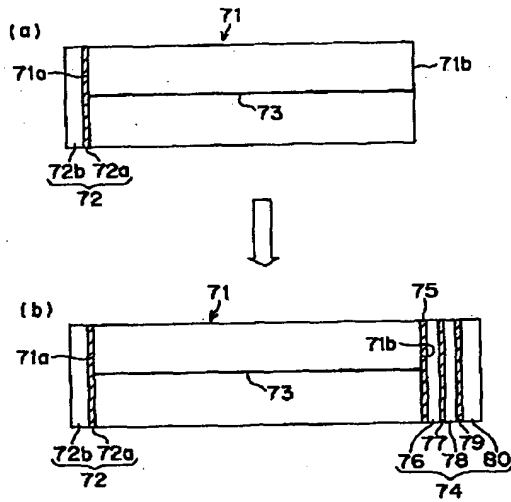


【図7】

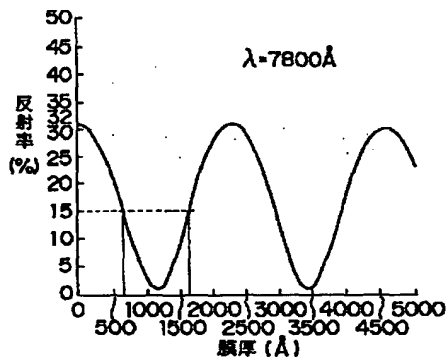


(8)

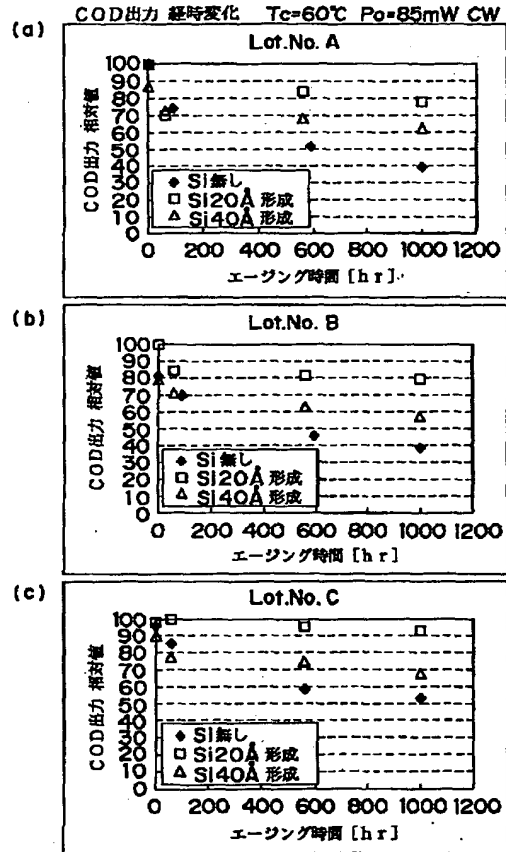
【図3】



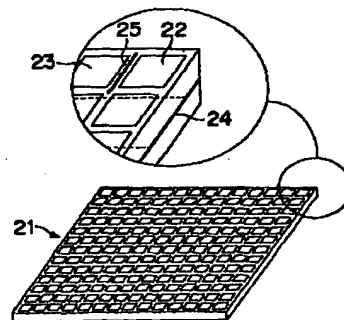
【図6】



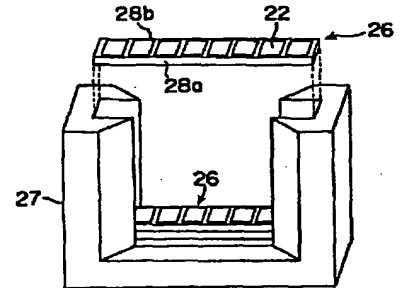
【図4】



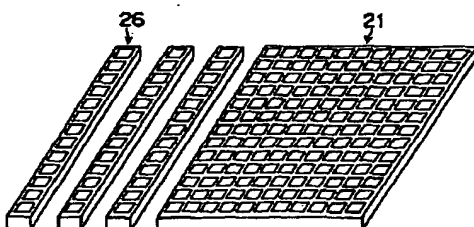
【図8】



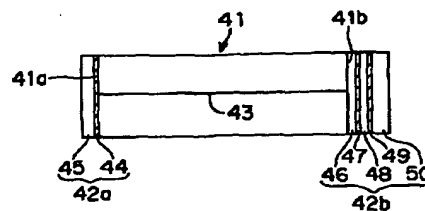
【図10】



【図9】

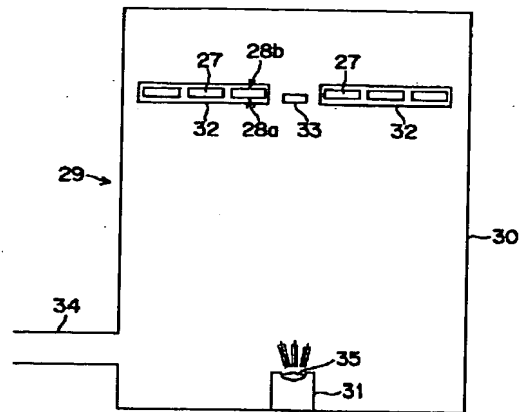


【図12】



(9)

【図11】



フロントページの続き

(72)発明者 横田 誠
大阪府大阪市阿倍野区長池町22番22号 シ
ヤープ株式会社内

Fターム(参考) 5F073 AA84 CA05 CB20 DA33 DA35
EA15 EA28
5F103 AA01 DD16 DD27 HH03 LL03

